

Voltage boosting circuit of a semiconductor memory device

Patent number: CN1122943

Publication date: 1996-05-22

Inventor: CHOI HOON (KR)

Applicant: SAMSUNG ELECTRONICS CO LTD (KR)

Classification:

- international: G11C11/407; G11C5/14; G11C11/403; H01L21/822; H01L27/04; H01L27/10; H02M3/07; H03K5/02; G11C11/407; G11C5/14; G11C11/403; H01L21/70; H01L27/04; H01L27/10; H02M3/04; H03K5/02; (IPC1-7): G11C5/14

- european: G11C5/14P

Application number: CN19941018947 19941117

Priority number(s): KR19930024483 19931117

Also published as:

EP0653760 (A2)

US5521871 (A1)

JP7183471 (A)

EP0653760 (A3)

EP0653760 (B1)

[more >>](#)

[Report a data error](#) [he](#)

Abstract not available for CN1122943

Abstract of correspondent: **EP0653760**

A voltage boosting circuit for boosting a supply voltage VCC supplied from a system to a desired boosting voltage VPP level is described. The voltage boosting circuit includes a transmission transistor 26 formed by a triple-well process. The transmission transistor 26 has bipolar characteristics and operates as a bipolar diode.

Data supplied from the **esp@cenet** database - Worldwide



[12]发明专利申请公开说明书

[21]申请号 94118947.3

[43]公开日 1996年5月22日

[51]Int.Cl⁶

G11C 5/14

[22]申请日 94.11.17

[30]优先权

[32]93.11.17[33]KR[31]24483 / 93

[71]申请人 三星电子株式会社

地址 韩国京畿道水原市

[72]发明人 崔 肇

[74]专利代理机构 中国专利代理(香港)有限公司

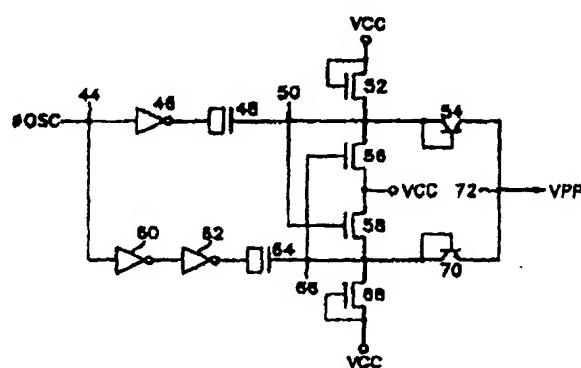
代理人 傅 康 马铁良

权利要求书 3 页 说明书 8 页 附图页数 2 页

[54]发明名称 半导体存储器件的增压电路

[57]摘要

一种用来将系统馈送来的电源电压 VCC 增长到所需的增升电压 VPP 电平的增压电路。增压电路包括一个用三井工艺制作的传输晶体管。传输晶体管具有双极特性且其工作如同双极二极管。



权利要求书

1. 一种用于半导体存储器件的增压电路，它包含：
一个用来接收具有恒定周期的振荡信号的输入节点；
一个激励节点，上述激励节点被预充电到规定的电压电平；
一个增压节点，上述增压节点被升高到高于电源电压的增升电压；
一个二电极端连接在上述输入节点和上述激励节点之间的激励电容器，上述激励电容器根据馈送到上述输入节点的电压电平来激励上述的激励节点；以及
一个连接在上述激励节点和上述增压节点之间、用来将充电到上述激励节点的电压传输到上述增压节点的双极二极管。
2. 权利要求 1 所述的增压电路，其特征在于：所述的双极二极管是一种 NPN 双极晶体管。
3. 一种用于半导体存储器件中且带有在第一导电型衬底上由第二杂质形成的激励电容器的增压电路，上述的增压电路包含一个双极二极管的传输晶体管，它包含：
一个形成在上述衬底上的第二导电型的第一井；
一个形成在上述第一井中的第一导电型的第二井；
一个形成在上述第一井中但不在上述第二井中的第二导电型的第一扩散层，上述第一扩散层连接到接于上述激励电容器的连线上；
一个形成在上述第二井中且连接于上述连线的第一导电型的第一扩散层；以及

一个形成在上述第二井中且连接于增压节点的第二导电型的第二扩散层；

借此，上述传输晶体管产生一个经由上述激励电容器向上述增压节点产生一个激励的增升电压。

4. 权利要求 3 所述的增压电路，其特征在于：所述的第一导电型是 P 型，而其中所述的第二导电型是 N 型。

5. 一种用于半导体存储器件的增压电路、包括一个用来产生恒定周期的方波振荡信号的振荡器，上述增压电路包含：

一个用来接收上述振荡信号的输入节点；

一个输入端连接于上述输入节点的第一反相器；

一个二电极端连接在上述第一反相器和第一激励节点之间的第一激励电容器，上述第一激励电容器根据上述第一反相器的输出信号电平来激励上述第一激励节点；

一个用来将上述第一激励节点预充电到相当于电源电压电平的第一预充电晶体管；

一个基极和集电极共接于上述第一激励节点而发射极连接于增压节点、用来产生高于上述电源电压的增升电压的第一双极传输晶体管；

一个输入端连接于上述输入节点的第二反相器；

一个输入端连接于上述第二反相器输出端的第三反相器；

一个二电极端连接在上述第三反相器和第二激励节点之间的第二激励电容器，上述第二激励电容器根据上述第三反相器的输出信号电压电平来激励上述第二激励节点；

一个用来将上述第二激励节点预充电到相当于上述电源电压的

上述电平的第二预充电晶体管；以及

一个其基极和集电极共接于上述第二激励节点而发射极连接于上述增压节点的第二双极传输晶体管。

6. 权利要求 5 所述的增压电路还包含：

一个其沟道连接在上述第一激励节点和电源端之间而栅极连接于上述第二激励节点的第三预充电晶体管，上述第三预充电晶体管将上述第一激励节点预充电到相当于总电源电压的电平；以及

一个其沟道连接在上述第二激励节点和上述电源端之间而栅极连接于上述第一激励节点的第四预充电晶体管，上述第四预充电晶体管将上述第二激励节点预充电到相当于上述总电源电压的上述电平。

说 明 书

半导体存储器件的增压电路

本发明涉及到一种半导体存储器件，更确切地说是一种用来使系统馈送的电源电压增升到所需的增压电平的增压电路（此处所指的“增压电路”在这一领域内同增升电路、增压发生电路、自举电路等意义相同）。

在诸多动态 RAM（随机存取存储器）之类的半导体存储器件中，数据的传输可认为是有效势的移位。在由 CMOS 晶体管构成的动态 RAM 中，当电位势通过 MOS 晶体管沟道区进行传输时，由于 MOS 晶体管的阈值电压而发生电压降。这一不可避免的电压降成为准确读写数据的障碍并使数据丢失。为解决这一问题，已使用了提高电压电平的增压电路。作为这种增压技术的有：1991 年 11 月 7 日提出并授予本发明同一受让人的题为“增压电路”的韩国专利 91-19740 号；1992 年超大规模集成电路研讨会论文摘要“一种采用单片增压电源的 35ns 64Mb DRAM”（pp64-65）；授予日本 Fujitsu 公司的美国专利第 4,704,706 号等。

图 1 示意地示出了本技术领域中一般熟知的前述技术中所描述的增压电路的特征部分。输入节点 2 接收振荡器（未示出）产生的振荡信号 $\textcircled{1}$ OSC。激励电容器 4 的一个电极引线耦合到输入节点 2，而另一电极引线耦合到激励节点 8。激励电容器 6 的一个电极引线耦合到输入节点 2，而另一电极引线耦合到激励节点 10。带有分别连接

于激励节点 8 和 10 的栅和漏的传输晶体管 12 产生增升电压 VPP。虽然图 1 中未绘出,还提供了一个用来使激励节点 8 和 10 预充电到电源电压 VCC 电平的预充电电路。图 1 的结构在本技术领域中就是通常所说的电荷激励电路。当增升电压 VPP 在芯片加电和激活循环过程中被内部电路降低到低于正常电平的时候,振荡器就工作。若振荡信号 ϕ_{OSC} 被馈送到输入节点 2, 激励电容器 4 和 6 就使激励节点 8 和 10 增压到大约二倍于电源电压 VCC。作为增升电压 VPP 的向激励节点 10 充电的电压是通过传输晶体管 12 的沟道而产生的。图 1 的电路由采用电源电压 VCC 作为源电压的振荡器来驱动,以便获得 $2VCC - VT$ 的增升电压 VPP 电平 (其中 VT 是传输晶体管 12 的阈值电压)。激励节点 8 和 10 一开始是被预充电到电源电压 VCC 电平。

图 1 的增压电路用典型的 CMOS 制造工艺来形成。图 1 电路的问题是激励效率,其传输晶体管 12 是一个用 CMOS 制造工艺制作的 NMOS 晶体管。如同本技术领域熟练人员所熟知的, MOS 晶体管的器件特征是其体效应随其源漏间电压电平的上升而增加。显然,随着半导体存储器件集成度的进一步提高,由于各器件的尺寸缩小且它们之间的距离变小,体效应就进一步增大。图 1 的增压电路的一个根本问题就是 MOS 晶体管亦即传输晶体管的器件特征,而不是线路设计,使激励效率下降。

本发明的目的是提供一种用来改善激励效率的增压电路。

本发明的另一目的是提供一种用来高速产生增升电压的增压电路。

本发明的又一目的是提供一种不理会体效应的出现,即使在增

升电压电平升高时也能改善激励效率的增压电路。

本发明的进一步目的是提供一种用来由传输晶体管的器件特性而提高激励效率的增压电路。

根据本发明的一种情况，提供了一种经由具有双极晶体管特性的传输晶体管来产生增升电压的增压电路。此增压电路包括用典型的CMOS制造工艺的三井工艺制作的传输晶体管。此传输晶体管的工作如同双极二极管，它包括一个形成在第一导电型的衬底上的第二导电型的第一井、一个形成在第一井之中的第一导电型的第二井、一个形成在第一井中但不在上述第二井之中的第二导电型的第一扩散层（第一扩散层连接到接于激励电容器的连线上）、一个形成在上述第二井且连接于上述连线上的第一导电型的第一扩散层、以及一个形成在上述第二井且连接于增压节点的第二导电型的第二扩散层。

现用举例的方法，参照附图，以便更好地了解本发明及其实施方法，在这些附图中：

图1是一示意图，示出了常规增压电路的特征部分；

图2是一个等效电路图，示出了根据本发明的一个增压电路的示意结构；

图3是图2电路的剖面图；

图4是一个电路图，示出了根据图2和3组成的增压电路的一个实施例；以及

图5是一个波形图，示出了图4电路得到的增升电压VPP的上升斜率。

参照图2，根据本发明的增压电路采用一个双极晶体管26作为

用来产生增升电压 VPP 的传输晶体管。应该指出的是以下“双极晶体管”同“双极二极管”及“双极传输晶体管”意义相同。如同本技术领域的熟练人员所熟知的，双极晶体管是一种电流控制器件，而 MOS 晶体管是电压控制器件。双极晶体管的优点是开关速度得到了改善且驱动力提高了。由双极晶体管构成的传输晶体管具有极好的增压电路器件性能，为激励效率的改善、向所需增压电平的高速增压运行以及防止体效应。

图 3 是图 2 电路的剖面图。双极晶体管 26 用典型 CMOS 制造工艺的三井工艺来制作。现简要地描述一下用来制造作为传输晶体管的双极晶体管 26 的工艺。在 P 型衬底 28 上制作一个 N 井 30。在 N 井 30 的中部制作一个 P 井 32。在制作了 P 井 32 以外的 N 井 30 中，用注入 n^+ 杂质的方法制作一个 n^+ 层 38。用分别注入 p^+ 和 n^+ 杂质的方法，在 P 井 32 中形成一个 p^+ 层 40 和一个 n^+ 层 42。这就完成了图 2 所示的双极晶体管 26 的结构。在 P 型衬底 28 上用注入 n^+ 杂质的方法形成的 n^+ 层 34 和 36 以及栅 35，构成了图 2 的激励电容器 22。由于用典型的制造工艺很容易获得图 3 的结构，故略去诸如掩蔽工序、扩散工序之类的细节。 n^+ 层 34 和 36 连接于输入节点 20 并根据通过节点 20 的电压对形成于其上的栅 35 进行激励，从而激励耦合于栅 35 的激励节点 24。应该指出的是激励节点 24 共接于 N 井 30 中的 n^+ 层 38 和 P 井 32 中的 p^+ 层 40，其细节稍后将讨论。加有增升电压 VPP 的一个连线连接于 P 井 32 中的 n^+ 层 42。容易理解双极晶体管 26 是通过激励节点 24 和增升电压 VPP 连线之间的 P 井 32 而工作的。为了通过双极晶体管 26 来激励增升电压 VPP，激励节点 24

应与 P 型衬底 28 隔离。否则，充电子激励节点 24 的激励电压会通过衬底 28 放电。本技术领域的熟练人员都知道需要在 N 井 30 中制作双极晶体管以防止激励电压被放电。

现描述一下激励节点之所以要共接于 N 井 30 中的 n^+ 层 38 和 P 井 32 中的 p^+ 层 40 的理由。

倘若激励节点 24 不能经由 n^+ 层 38 将激励电压加于 N 井 30，亦即，若激励节点 24 只将激励电压加于 P 井 32 中的 p^+ 层 40，则形成一个 P-N 结正向偏压。于是，加于 P 井 32 的高压就漏向 N 井 30。P 井 32 的 n^+ 层 42 就不被激励到所需的电平。因此，高压应从 N 井 30 馈送。为克服这一问题，希望激励节点 24 连接于 N 井 30 中的 n^+ 层 38。同时希望 P 型衬底 28 连接于地电压 GND 或衬底电压 VBB 以便防止 P-N 结正向偏压。如果形成了带有上述三井结构的双极晶体管 26，则即使增升电压 VPP 升高，也不存在电流变动，从而使将增升电压 VPP 增压到所需的高电压的增压时间尽可能缩短。因此，提高了激励效率且确保了增压电路的器件工作特性。

图 4 是根据图 2 和 3 的增压电路的一个实施例。图 4 的增压电路示出了充电激励电路的结构。增压电路根据振荡器的触发振荡信号 Φ_{OSC} 的逻辑变化而执行双激励操作。输入节点 44 接收振荡器（未示出）产生的振荡信号 Φ_{OSC} 。第一反相器 46 的一个输入端连接于输入节点 44。电极二端连接在第一反相器 46 和第一激励节点 50 之间的第一激励电容器 48，根据第一反相器 46 的输出信号电压电平而激励第一激励节点 50。第一预充电晶体管 52 将第一激励节点 50 预充电到电压电平 $VCC - Vtn$ 。NPN 晶体管的第一双极晶体管 54 的基极和集电极共接于第一激励节点 50 而发射极连接于增升节

点 72 用来产生增升电压 VPP。第二反相器 60 的一个输入端连接于输入节点 44，而第三反相器 62 的输入端连接于第二反相器 60 的输出端。二个电极端连接在第三反相器 62 和第二激励节点 66 之间的第二激励电容器 64，根据第三反相器 62 的输出信号电压电平而激励第二激励节点 66。第二预充电晶体管 68 将第二激励节点 66 预充电到电压电平 $VCC - Vtn$ 。NPN 晶体管的第二双极晶体管 70 的基极和集电极共接于第二激励节点 66 而发射极连接于增压节点 72。沟道连接在电源电压 VCC 端和第一激励节点 50 之间而栅极连接于第二激励节点 66 的第三预充电晶体管 56，将第一激励节点 50 预充电到电源电压 VCC 电平。沟道连接在第二激励节点 66 和电源电压 VCC 端之间而栅极连接于第一激励节点 50 的第四预充电晶体管 58，将第二激励节点 66 预充电到电源电压 VCC 电平。图 4 结构的特点是充电激励电路采用双极晶体管作为传输晶体管。

现描述图 4 电路的工作。在芯片加电之后，当保持增升电压 VPP 于一所需的电平而使图 4 的增压电路处于停用状态时，或者说在芯片启动之前，激励节点 55 和 66 借助于第一和第二预充电晶体管 52 和 68 的预充电操作而被预充电到电压电平 $VCC - Vtn$ 。其中 Vtn 是 NMOS 晶体管的预充电晶体管 52 或 68 的阈值电压。之后，若芯片被启动，或者增升电压 VPP 被降到低于所需电平，则图 4 的增压电路被启动。于是具有恒定周期的方波振荡信号 ϕ_{OSC} 馈送到输入节点 44。其详细描述如下：

首先，若加于输入节点 44 的振荡信号 ϕ_{OSC} 从逻辑“低”位升高到逻辑“高”位，则第一反相器 46 产生逻辑“低”位。经由第一激励电容器 48 就没有激励操作且第一激励节点 50 保持其预充电电平。

第二和第三反相器 60 和 62 分别产生逻辑“低”和“高”位。第二激励电容器 64 将第二激励节点 66 增压到二倍于 $V_{CC} - V_{tn}$ 的电压电平。被增压了的第二激励节点 66 的电压电平经由第二双极晶体管 70 被传输到增压节点 72 以提高增升电压 VPP。第二双极晶体管 70 是一种由图 3 结构形成的器件。在第二激励节点 66 和增压节点 72 经由第二双极晶体管 70 进行电荷共享操作的过程中，第二双极晶体管 70 具有参照图 3 所描述的特征。于是，充电到激励节点 66 的高电压被高速地传输到增压节点 72，而且即使增压节点 72 成为高电压电平，也不发生体效应。图 3 中第一或第二双极晶体管 54 或 70 的发射极相当于图 3 的 P 井 32 中的 n^+ 层 42，其基极是图 3 的 P 井 32 中的 p^+ 层 40，而其集电极是图 3 的 N 井 30 中的 n^+ 层 38。因此很容易理解即使增压节点 72 被升到高电压也不发生体效应。激励在第二激励节点 66 的电压电平 2($V_{CC} - V_{tn}$)使第三预充电晶体管 56 的沟道完全地导通，以致将第一激励节点 50 预充电到电源电压 V_{CC} 电平。

其次，若加于输入节点 44 的振荡信号 OSC 从“高”逻辑位降到“低”逻辑位，则第一反相器 46 产生逻辑“高”位。第一激励电容器 48 将第一激励节点 50 从原有的预充电电平 V_{CC} (此电平是在前述过程中经由第三预充电晶体管 56 而获得的) 激励到二倍于预充电电平 V_{CC} 。被增压了的激励节点 50 的电压电平经由第一双极晶体管 54 被传输到增压节点 72，以将增升电压 VPP 提高到高于原有增升电压电平的较高电平。第一双极晶体管 54 也是由图 3 结构形成的，而且在第一激励节点 50 和增压节点 72 通过第一双极晶体管 54 而进行电荷共享操作的过程中保持参照图 3 所述的器件特性。因此，充于激励节点 50 的高电压被高速地传输到增压节点 72，并防止

由增压节点 72 的提高了的电压所引起的体效应。另一方面，第二和第三反相器 60 和 62 分别产生逻辑“高”位和“低”位。经由第二激励电容器 64 不存在第二激励节点 66 的激励操作。激励在第一激励节点 50 的电压电平 2VCC 使第四预充电晶体管 58 的沟道完全地导通，以将第二激励节点 66 预充电到电源电压 VCC 电平。这样，下一激励操作的效率就被提高了。

若振荡信号 OSC 再次从逻辑“低”位升至“高”位，则重复前述第一过程。第一激励节点 50 的预充电电平变为电源电压 VCC 电平，然后继续进行激励操作。重复进行这一系列过程直到增升电压 VPP 升高到所需的增升电压电平，而且通过这些过程，增升电压 VPP 被升高到规定的电压电平。

图 5 示出了图 4 运行特性引致的增升电压 VPP 的上升斜率。如所示，本发明的增压电路比之常规电路，其增升电压 VPP 上升到所需的增升电压电平（约二倍于电源电压 VCC）需要的建立时间更短。显然，用根据图 3 结构构成的图 4 的第一和第二双极晶体管 54 和 70，可以获得这些特性。

如上所述，本发明实施例的增压电路用实现一个带有双极晶体管的电荷激励电路的方法来使增升电压 VPP 升高到所需的增升电压电平。即使增压节点间的增升电压上升了，由于不存在流入增压节点的电流变化，增压效率也得到了提高。而且防止了常用增压电路中正比于增升电压的上升而增大的体效应。

上面的描述仅仅指出了本发明的一个最佳实施例。对本技术领域的熟练人员来说，各种不超越本发明的范围的修改是显而易见的。

说 明 书 附 图

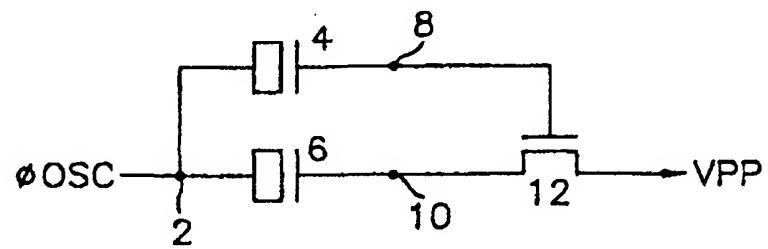


图 1

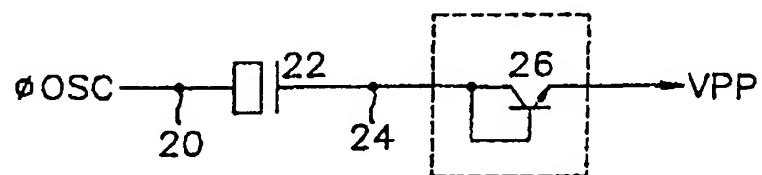


图 2

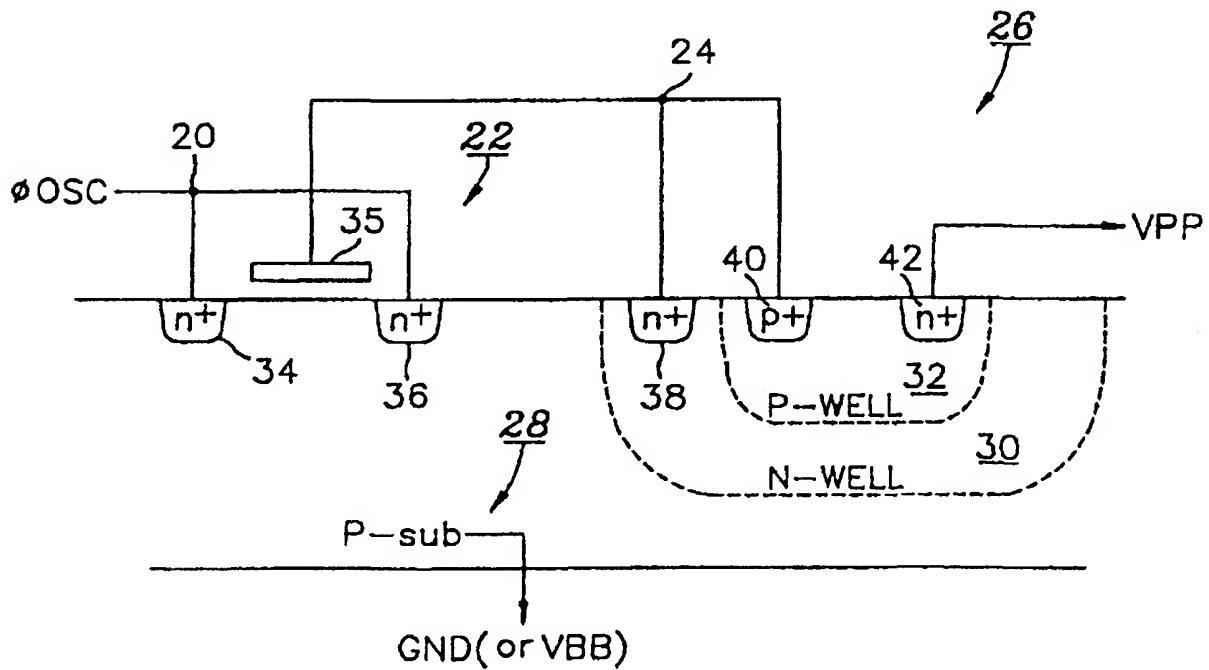


图 3

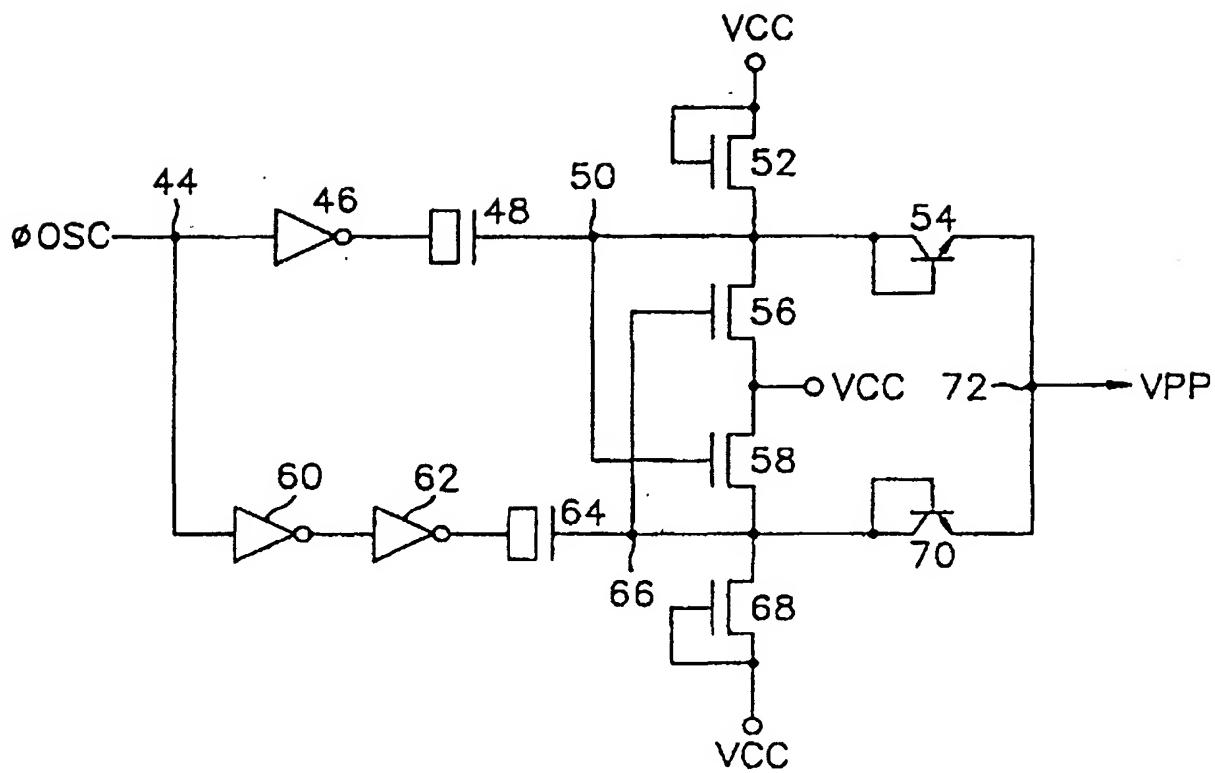


图 4

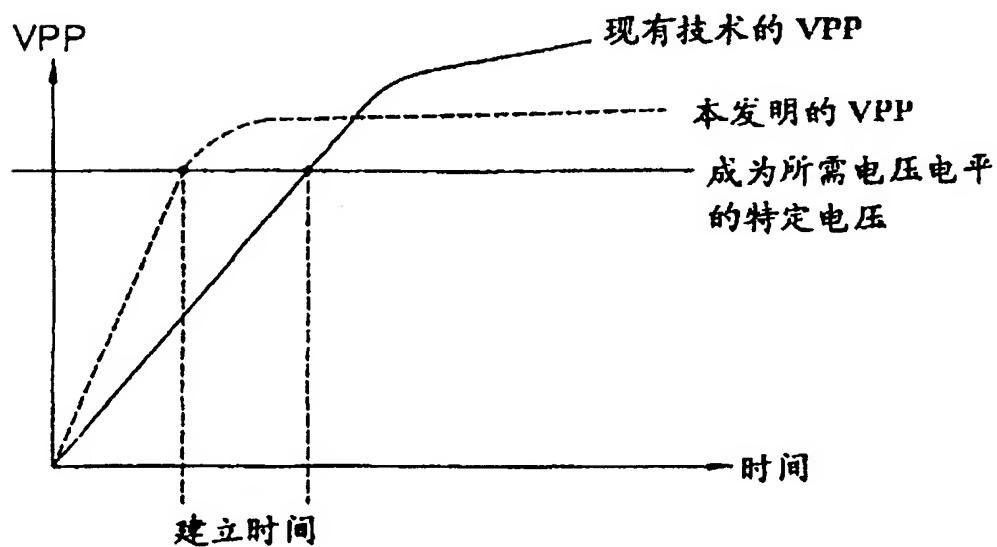


图 5